

63-117400

(43)Date of publication of application : 21.05.1988

G11C 29/00

G11C 11/34

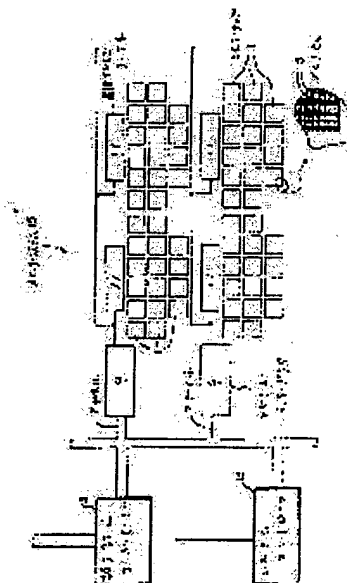
(71)Applicant : YOKOGAWA HEWLETT PACKARD LTD

(72)Inventor : SUTEIBUN JII ITON
ROORENSU AARU HANRON
MAABIN ESU ESHIYUNA

Priority number : 86 926620 Priority date : 03.11.1986 Priority country : US

(57)Abstract:

CONSTITUTION: The memory system 15 for performing the self-test and the self-repair tests and repairs the system 15 at the time of a power on, corrects a soft error and the defect of a memory which is not changed by a good memory cell 5, searches a new error namely an error which is not detected previously, records the errors detected by an error correction code engine 3 and uses these records for estimating the reliability of the memory system 15. When a power source is closed, the memory system 15 executes the self-test and the self-repair. The memory system updates a substitute address table 11 on any defective memory cell group. Further, the memory system 15 responds to the request of data relating to the reliability.



[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

⑫ 公開特許公報(A)

昭63-117400

⑬ Int.Cl.⁴G 11 C 29/00
11/34

識別記号

3 0 1
3 7 1

庁内整理番号

B-7737-5B
A-8522-5B

⑭ 公開 昭和63年(1988)5月21日

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 メモリ・システム

⑯ 特 願 昭62-278121

⑰ 出 願 昭62(1987)11月2日

優先権主張 ⑱ 1986年11月3日 ⑲ 米国(US) ⑳ 926620

㉑ 発明者 スティブソ・ジー・イートン アメリカ合衆国カリフォルニア州マウンテン・ビュー・エドナマリイ・ウェイ・ナンバ4・1755

㉒ 発明者 ローレンス・アール・ハンロン アメリカ合衆国カリフォルニア州メンロ・パーク・オークハースト・ブレイス 287

㉓ 発明者 マービン・エス・エシユナ アメリカ合衆国カリフォルニア州マウンテン・ビュー・イージイ・ストリート・ナンバ2・321

㉔ 出 願 人 横河・ヒューレット・パツカード株式会社 東京都八王子市高倉町9番1号

㉕ 代 理 人 弁理士 長谷川 次男

明 細 書

1. 発明の名称

メモリ・システム

2. 特許請求の範囲

複数のメモリ・セルと、
欠陥のある前記メモリ・セルを検出する検出手段と、

前記検出手段にตอบสนองして前記欠陥のあるメモリ・セルを置換える置換手段と、

前記検出手段と置換手段に接続され前記置換えを制御する制御手段
とを設けてなるメモリ・システム。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明はコンピュータ等に用いられるメモリ・システムに関し、特に自己テスト及び自己修復方式のメモリ・システムに関する。

〔従来技術およびその問題点〕

第3図はダイナミックRAMメモリをテストし

且つ構成する従来技術の方法を示す。ウェーファを製造後、個々のチップへと切断する前に、従来においてはウェーファ全体で包括的なウェーファ・ブローブ・テストが行なわれる。このようなテストの1つに直流欠陥テストがある。このテストは活性モードと待機モードにてそれぞれのダイスに引込まれる電力供給電流を測定する。いずれかのモードでダイスが過度の電流を引込んだ場合は、テストはダイスに短絡があるとみなしてそのダイスを棄てる。個々のセルやアドレス・デコードやセンス・アンプに対し行なわれる別のウェーファ・ブローブ・テストはそれらの機能性を判定する。

ウェーファ・ブローブ・テストの終了後、レーザ修復手順により、欠陥のあるメモリ・セルが冗長行、列と交換される。冗長行、列の数又は配置が欠陥のある記憶セルを修復するほど充分でない場合は、そのダイスは棄てられる。レーザによる修復の終了後、従来方法ではウェーファの再テストが行なわれる。ここまで来ると、従来ではダイスを修復する方途がないので、故障のあるダイス

は全て棄てられなければならない。

ウェーファ状態でのテストの終了後、ウェーファは個別のチップへと切断され、個別のパッケージに組立てられる。このようにパッケージングされたチップに対して欠陥テストが行なわれ、次に125℃まで昇温させて約2日間、バーンイン・テストを受ける。バーンイン・テストに合格した後、素子は製造業者の最終テストを受ける。時間と費用がかかるこのテストでは、パターン妨害テストと書き込み回復テストが他のテストに加えて行なわれる。チップ・メーカは顧客に合格済の素子を出荷し、顧客は通常、これらの素子のサンプルに入荷スクリーニング・テストを行なう。これらの素子をメモリ・システムに搭載後、顧客はそのメモリ・システムをテストする。これらのテストには第2のバーンイン・テストが含まれる場合が多い。

従来のテスト及び製造手順には多くの欠点がある。従来の手順は高価な装置を使用する。従来の手順はチップを手荒く扱い、静電放電及び他の害のある条件にさらして、故障を誘発することがあ

る。更に、従来の手順ではパターン感応型の欠陥のテストが非効率的にしか行なえない。パターン感応の欠陥とは、ビット群の値がある特定の組合わせである場合に故障を起こすメモリの欠陥である。従来では、1と0の全ての可能な組合わせをメモリに記憶させることによってこのパターン感応型の欠陥のテストを行なう。明らかに、この手順は不可能でないとしても、非常に時間がかかる。従って、従来の手順では、ある種のパターン感応型の欠陥をみのがすことがある。検出されなかったこれらの欠陥がフィールドでの使用中に発生するとシステムの故障を起こしてしま^う。

従来のテスト及び製造手順の別の欠点は修復能力に限界があることである。従来のレーザ修復手順はわずかな数のセル、列又は行の欠陥しか修復できない。更に、従来の手順は、レーザ修復後に発見される欠陥は修復できない。従来の手順はレーザ修復手順の終了後に広範囲にわたるテストを行なうので、この限界性はとくに問題である。

上述の欠点によってメモリの製造コストが上が

り、使用可能であるメモリの歩どまりが低くなる。更に、上述の欠点によってシステムの故障をまねき、その修復費用がかさむ。

〔発明の目的〕

本発明の目的はこれら従来技術の問題点を取り除き、テスト費用を軽減し、メモリの歩どまりを向上させ、メモリ・システムの自己テストと修復を可能にすることによって低コストで高信頼性のメモリ・システムを提供することにある。

〔発明の概要〕

本発明の一実施例によれば、自己テスト及び自己修復型を行なうことのできるメモリ・システムが与えられる。このメモリ・システムは製造中及び通常動作中に自己テスト及び自己修復を行なう。

本発明の一実施例による、自己テスト及び自己修復型のメモリ・システムは、簡略化されたウェーファ・プローブ・テストに合格したメモリ・セルと、テスト及び修復を統御するシステム・コントローラと、置換えメモリ・セルのロケーションを記憶する再書き込み可能なテーブルと、正しいアド

レスを得るためのアドレス・インタープリタと、誤りを検出し且つ訂正する誤り訂正コード・エンジン（ECCエンジン）を含む。

本発明の一実施例の自己テスト及び自己修復型のメモリ・システムを作成する際に、メモリ・システムの自己テスト及び自己修復能力を利用する。この作成方法により上述の全部品が組立てられる。組立て後、システム・コントローラがメモリ・チップに対して最初の自己テストを行って欠陥の大きさと位置を判定する。システム・コントローラは欠陥部を取換えるか、それとも^{誤り訂正コード}ECCエンジンに欠陥を訂正させるかを判定する。欠陥のあるメモリ・セル群が大きい場合は通例では誤り訂正コード・エンジンの過度の負担をさけるため取換えられる。システム・コントローラは置換え用のメモリ・セルと欠陥のあるメモリ・セルのアドレスを再書き込み可能なテーブルに記憶することによって欠陥のあるメモリ・セルを取換える。

本発明の一実施例の自己テスト及び自己修復型のメモリ・システムの使用にあたって、通常動作

中に欠陥のあるメモリ・セルの検出、訂正及び修理が行なわれる。システムがパワー・オンされると、システム・コントローラがメモリ・システムをテストし、比較的大きい欠陥群を取換える。パワー・オン・テストが終了すると、誤り訂正コード・エンジンが、普段の誤り探索を開始する。誤り訂正コード・エンジンは新たな位置に見つかった欠陥、ソフト・エラー、およびシステム・コントローラの判断で取換を行なわないこととした欠陥の訂正を行なう。その間、システム・コントローラは欠陥の数を監視し、比較的大きな欠陥群の取換えを行なう。

本発明の一実施例のメモリ・システムは製造コストを低減し、メモリ・システムの信頼性を高めるいくつかの利点を有している。第1に、本メモリ・システムはテストを高価な外部装置によって行なうのではなく、自己テストが可能である。それにより製造中のテスト費用が軽減される。

第2に、メモリ・システムは製造中のテストが少なく済む。本メモリ・システムは随時、欠陥

第4に、本メモリ・システムは随時、それ自体の欠陥の検出と修理が可能である。この利点によって本メモリ・システムは多少の欠陥のあるメモリ素子を使用できる。これに反して、従来のメモリ・システムがレーザ修復段階の後に何らかの欠陥を有していると、そのメモリ・システムは棄てられねばならない。そのため従来のメモリ・システムの歩どまりは低下する。更に、フィールドでの使用中に、従来のメモリ・システムに欠陥ができると、その欠陥はシステムの故障を引き起こす。

最後に、本メモリ・システムは信頼性が向上する。従来のシステムとは異なり、通常動作中に生じるハード・エラーとソフト・エラーの両者の回復が可能である。更に、新たな欠陥の発生を検出し、またそのような欠陥が発生する割合を判定可能である。この情報に基づいて、メモリ・システム・コントローラはメモリ・システムの将来的な信頼性を見積り、この情報をホスト・コンピュータに報告する。必要ならば、システム・コントローラはサービス・コールを要求することができる。

を修理可能である。従って、これらのメモリ・システムでは作成工程の最終段階までテストの大部分を遅らせることができる。従来のメモリ・システムはチップのパシベーションの前に修理される。これは製造工程の早い段階で行なわれるので、従来技術では2組のテストを行なわなければならない。すなわち、一組のテストでは、チップのパシベーション前に修理を行なうため、メモリの欠陥を探索する。製造工程の終わりには、第1の組のテスト以降に生じた欠陥を発見するため、もう一組のテストを行なわなければならない。

第3に本メモリ・システムは、フィールドでの使用中にパターン感应型のエラーを訂正する。従来のメモリ・システムはフィールドでの使用中、パターン感应型の欠陥を修正できない。従って、従来のメモリ・システムはこうしたとらえにくい欠陥を発見するため広範囲のテストを行なわなければならない。パターン感应型の欠陥のテストは費用がかさみ、メモリ・システムのコストを高める。

(発明の実施例)

第1図は本発明のメモリ・システムの一実施例を示す。このメモリ・システム15には、簡略化されたウェーファ・プローブ・テストに合格した多数のメモリ・セル5を有するメモリ・チップ1と、自己テスト及び自己修復アルゴリズムを実行するファームウェアを有するシステム・コントローラ13と、不揮発性のテーブルと、再書き込みが可能である置換アドレス・テーブル11と、アドレス・インタープリタ9と、記憶されたデータの誤りを検出し且つ訂正する誤り訂正コード・エンジン3が含まれている。

簡略化されたウェーファ・プローブ・テストにおいては、過度の動作電流を必要としたり、過度の待機電流を必要としたり、又は過度の個数の動作しないメモリ・セル5を有するチップを検出する。このような異常は電力供給線、アドレス線の欠陥及び他の大きな欠陥に帰因することが多い。製造業者は大きな欠陥を有するチップを廃棄し、残りのチップをメモリ・システムへと組立てる。

本発明の好適な実施例では、受入れ可能であるチップ1はクラスタへと組上げられる。メモリチップ1の各クラスタは置換アドレス・テーブル11を有している。

クラスタと、これに付属する置換アドレス・テーブル11は種々のチャネル7に分割される。各チャネル7はアドレス・インタープリタ9を有している。各メモリ・システム15はシステム・コントローラ13及び誤り訂正コード・エンジン3を含む。

メモリ・システム15の好適な実施例はアドレス・インタープリタ9を含む。アドレス・インタープリタ9は、置換されたメモリ・セル5のアドレスを提示されると置換え先のメモリ・セル5のアドレスを作成する。ホスト・コンピュータ・システムがメモリ・ロケーションをアクセスする際は、いつでもホストはアドレス・インタープリタ9にアドレスを送る。アドレス・インタープリタ9は、メモリ・セル5が置換えられたか否かを判定し且つそのメモリ・セル5のアドレスを求めるため置換アドレス・テーブル11に照会する。置換アドレ

ス・テーブル11はいくつかの異なる実施形態を有することができる。一つの実施形態では、置換アドレス・テーブルは、各メモリ・ロケーション毎にエントリを有する参照用テーブルであってよい。参照用テーブル11に提示された各アドレスは参照用テーブル11内のユニークなエントリをアドレスする。対応するメモリ・ロケーションが置換えられている場合は、参照用テーブルの当該エントリは置換え先のメモリ・セル5のアドレスを含む。こうするかわりに、置換アドレス・テーブル11は連想メモリ (content addressable memory) の形態であることもできる。この場合、ホスト・コンピュータ・システムがメモリをアクセスすると、提示されたメモリ・アドレスは連想メモリ11内のエントリと比較される。所望のアドレスが連想メモリ11内のエントリと一致しない場合は、その特定のメモリ・ロケーションは置換されていない。そのアドレスが連想メモリ内のあるエントリと一致する場合は、そのメモリ・セル5は置換されており、この連想メモリは置換え先のメモリ・セル5の

アドレスを与える。

置換アドレス・テーブル11はアドレス対を記憶する。すなわち、欠陥のあるメモリ・セル5の群のアドレスと、その欠陥のあるメモリ・セル5の群と置換される良好なメモリ・セル5群のアドレスである。メモリ・システムが欠陥のあるメモリ・セル5の群からデータを読出し又は書込む要求を受けると、アドレス・インタープリタ9は置換アドレス・テーブル11を使用して置換え先のメモリ・セル5の群のアドレスを見出す。次にメモリ・システム15は置換え先のメモリ・セル5の群に要求を送る。

置換アドレス・テーブル11は再書込可能である。欠陥のあるメモリ・セル5が検出された際はいつでも、メモリ・システム15はその欠陥のあるメモリ・セルのアドレスと置換え先のメモリ・セルのアドレスのエントリを有する置換アドレス・テーブル11を更新することによって修復を行なうことができる。このようにして、製造中又は通常動作中のいずれの場合でも、このメモリ・システム15は

随時自己修復が可能である。

メモリ・システムの好適な実施例は誤り訂正コード・エンジン3を有している。本発明の好適な実施例は(70, 64)に短絡されたリード・ソロモン (Reed-Solomon) (255, 249) 誤り訂正コードを使用している。誤り訂正コードは入力データをレコードに分割する。各レコードは64のデータ・バイトと6バイトのチェック・ビットから成っている。このデータから、誤り訂正コード・エンジン3はそれぞれ8ビットを有する70個のシンボルを形成し、これらのシンボルをメモリに記憶する。データがメモリ・システム15から読出される際には、このデータは誤り訂正エンジン3を通され、レコードに過剰な欠陥が含まれていない限りここで誤りを検出し且つ訂正する。この特定のリード・ソロモン誤り訂正コードは4個未満の欠陥シンボルしか含まないレコードの訂正が可能である。それ以前には検出されてはいなかった欠陥と既に検出されていた欠陥との組み合わせが誤り訂正コード・エンジン3の能力を超えないようにメモリ・

実施例では、各レコード中の欠陥シンボルの数が1を超えると、欠陥のあるメモリ・セル5を置換する。しかし、本発明をより大きなレコードおよび/またはこれ以外の安全マージンを用いて実施することも可能であろう。

上述の自己テスト及び自己修復メモリ・システム15を作成するにあたっては自己テスト及び自己修復が可能なメモリ・システムの能力を利用している。この方法は過度の電力供給電流、アドレス線、電力供給線又は制御論理回路の欠陥のような大きな欠陥を有するダイスを検出し、これを排除するため、ウェーファ上で簡略化されたウェーフ・プローブ・テストを実施する。従来技術とは異なり、この段階で製造工程は完了し、合格したダイスは、ダイスの修復及びそれ以上のテストをすることなしに、チップ1へと切断され、パッケージングされる。次にチップをシステム・コントローラ13、置換アドレス・テーブル11、アドレス・インタープリタ9及びシステム15を操作するフ

ーラ13は、誤り訂正コード・エンジン3が広い信頼性マージンをもって処理できるよりも多くの欠陥を有するメモリ・セル・レコードを置換する。好適な実施例では、システム・コントローラ13は、レコード中に誤った8ビット・シンボルが1個よりも多く含まれている場合にメモリ・セル5を置換する。システム・コントローラ13はこれらのメモリ・セル5を前述のようにして置換する。システム・コントローラ13は置換アドレス・テーブル11を欠陥のあるメモリ・セル5及び置換先メモリ・セル5のアドレスにより更新する。

メモリ・システム15の自己修復機能によって、メモリ・システムの製造が終るまで、メモリ・システム15の自己テストを遅延させることができる。本発明の自己修復機能及び誤り訂正コード・エンジン3によって、メモリ・システム15は、検出されずに残る欠陥を少なくする簡単なテストを用い、その後、通常動作中、それらの欠陥を検出することができる。

通常動作中、自己テストは少なくとも3つの条

フォームウェアと一しょに組立てることによりメモリ・システムへと構成する。次にメモリ・システム全体がバーンイン・テストにかけられる。

次にメモリ・システム15はシステム・コントローラ13内のファームウェアを用いて自己テストを行ない、欠陥のあるメモリ・セル5をさがす。システム・コントローラ13は簡単に短かく費用のかからないテストを自蔵している。これらのテストはマーチング1テスト (marching 1's test) のような従来のメモリ・チップ・テストで行なわれるテストの簡略版である。システム・コントローラ13はメモリ・セル5に直接テスト・パターンを書き込み、再度読出すことによってこれらのテストを行なう。

最初の自己テストを行った後、メモリ・システム15は欠陥のあるメモリ・セル5の修復の方法を決定する。システム・コントローラ13は欠陥のあるセルを含むレコードを誤り訂正コード・エンジン3で訂正するか、又は置換用のメモリ・セル5群と交換するかを判定する。システム・コントロ

条件下で行なわれる。正規の使用中は、自己テスト及び自己修復を行なうメモリ・システムはパワーオンのたびに簡略なテストを行なう。第2に、制御用コンピュータ・システムが自己テストを要求することができる。第3に、通常の使用で、自己テスト及び自己修復を行なうメモリ・システムは、少なくとも1日に一度、全てのロケーションのデータを読み出し、且つ誤りを検出するために誤り訂正コードを使用することによって継続的に誤りを検索する。誤りが検出されると、システム・コントローラ13の以前検出された誤りの記録が照会され、今回の誤りが新たに検出された誤りであるか否かの判定がなされる。それが新たに検出された誤りである場合は、データは誤り訂正コード・エンジン3によって訂正され、それがハード・エラーかソフト・エラーかを判定するため再書き込み及び再読出しが行なわれる。それがハード・エラーでありかつそのレコード中の欠陥のあるシンボルの数が未だ許容できるならば、対応するメモリ・セル5群は使用状態に留められる。しかし、欠

容量できるマージンを超えると、欠陥のあるメモリ・セル5群は使用状態からはずされる。その代りに置換用メモリ・セル5群が使用される。置換アドレス・テーブル11が更新され、修正されたデータが置換ロケーションに書込まれる。過度の欠陥セルを含むメモリ・セル5群のアドレスは、代用される良好なメモリ・セル5群のアドレスと共に置換アドレス・テーブル11に記憶される。

本発明に基づく自己テスト及び自己修復を行なうメモリ・システム15はパワー・オンの時点でシステム15のテストと修復を行ない、ソフト・エラー及び良好なメモリ・セル5によって交換されてはいなかったメモリの欠陥を訂正し、新たな誤りつまり以前には検出されなかった誤りを探索し、誤り訂正コード・エンジン3により検出された誤りを記録し、メモリ・システム15の信頼性を見積るためにそれらの記録を利用する。

電源が入れられると、メモリ・システム15は自己テスト及び自己修復を行なう。メモリ・システ

ム15は欠陥のあるどのメモリ・セル5群に対しても置換アドレス・テーブル11を更新する。更に、メモリ・システム15はホスト・コンピュータ・システムにその使用可能容量を報告し、且つ信頼性に関するデータの要求に答える。

通常の使用で、ホスト・システムがメモリ・システム15に対して特定のアドレスにデータを書込むよう要求すると、誤り訂正コード・エンジン13がデータを符号化する。アドレス・インタープリタ9はホストにより指定されたこのアドレスに関して置換アドレス・テーブル11を探索する。このアドレスが発見されると、データは代りに置換先のアドレスに書込まれる。そうでない場合は、データはホストにより指定されたアドレスに書込まれる。ホストが、データを特定のアドレスから読出すように要求すると、ホストが指定したアドレスに欠陥があれば、アドレス・インタープリタは再度、メモリ・システムからの読出しが置換アドレスからなされるようにする。

自己テスト中に検出されず、またその欠陥は周

囲のセル内のデータ・パターンにより左右されるわずかな欠陥を有するセル5は通常の使用中に検出される。パターン感応型の欠陥は誤り訂正コード・エンジン3によってデータ内の誤りとして検出される。

メモリ・セル5群内の欠陥セルの数が誤り訂正コード・エンジン3により訂正可能な最大限の数が近づくと、その群は欠陥があるものとされる。一つの群が新たに欠陥群とされると、置換アドレス・テーブル11に欠陥群のアドレス及び良好なメモリ・セル5の群のアドレスで更新され、次にデータは誤り訂正コード・エンジン3によって訂正され且つ置換先の良好なメモリ・セル5群内に復元される。新たに検出された欠陥セルによっても、誤り訂正コード・エンジン3のデータ訂正能力の限界点に近づく地点まで現メモリ・セル5群内の欠陥数が増加しない場合は、そのメモリ・セル5群は欠陥のある群とはされず、使用状態に留められる。置換えは割当てられず、置換アドレス・テーブル11は変更されない。データがこのメモリ・

セル5群から読出された後、欠陥のあるセル5が再び検出され、且つデータは誤り訂正コード・エンジン3によって訂正される。

ホストにより指定されたアドレス又は置換アドレスのいずれかから読出されたデータは誤り訂正コード・エンジン3によって処理される。誤りが検出されると、それらは訂正され、システム・コントローラ13に誤りが発生した旨が報告される。システム・コントローラ13はこのアドレスを欠陥セルのアドレスの記録と比較し、必要ならその記録を更新する。欠陥セルの数が誤り訂正コード・エンジン3により訂正可能である誤り数の限界に近づくと、システム・コントローラ13はそのアドレスを欠陥のあるものと宣言する。システム・コントローラ13は訂正されたデータを得て、それを良好なメモリ・セル5群の未使用のアドレスに書込み、次に置換アドレス・テーブル11にエントリを加える。

システムの信頼性はシステムの動作中に検出される欠陥の数と割合によって見積ることができる。

永久的故障として定議されるハード・エラーは、誤り訂正コード・エンジンからの最新の誤り報告と、システム・コントローラの記録に記憶された誤り報告とを比較することにより、過渡的な誤り（ソフト・エラー）から区別することができる。

検出されない欠陥の数は少ないので、以前には検出されていなかった欠陥が、以前検出された欠陥と結びついて、誤り訂正コード・エンジン3が訂正可能な誤りの限度を超える可能性は極めて小さい。従って、これまで検出されなかった欠陥の存在及びそれに帰因するデータの誤りは、メモリ・システム15の故障を誘発する訂正不能の誤りを起すことはない。

訂正不能の誤りが含まれているレコードが発見された場合は第2の特別なケースが生じる。この場合、システム・コントローラ13は訂正されていない。データとチェック・ビットとをセーブして、誤ったレコードをテストする。レコードに欠陥があることがわかれば、それは予備にとりかえられ、訂正されていないレコードとチェック・ビットは

この予備に再び書込まれる。訂正不能のデータがそのロケーションに意図的に記憶された旨の注が作成される。制御を行なっているコンピュータがそのレコードを読出すと、コンピュータには未訂正データと、誤ったデータであることを示すフラグが供給されることになる。

（発明の効果）

以上説明したように、本発明によれば、事前のテストでは検出されなかった欠陥や動作中に新たに発生した欠陥に対処できるので、低価格・高信頼性のメモリ・システムを提供することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例のメモリ・システムの概略を示す図、第2図は本発明のメモリ・システムの一実施例を作成するための手順の例を示す図、第3図は従来のメモリ・システムを作成するための手順の例を示す図である。

1：メモリ・チップ、3：誤り訂正コード・エンジン、5：メモリ・セル、7：チャネル、9：アドレス・インタープリタ、11：置換アドレス・

テーブル、13：システム・コントローラ。

出願人 横河・ヒューレット・パッカード株式会社
代理人 弁理士 長谷川次男

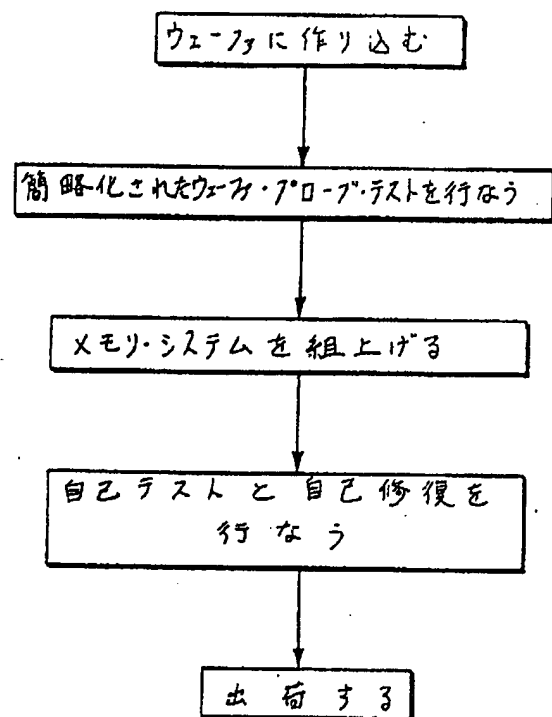


FIG 2

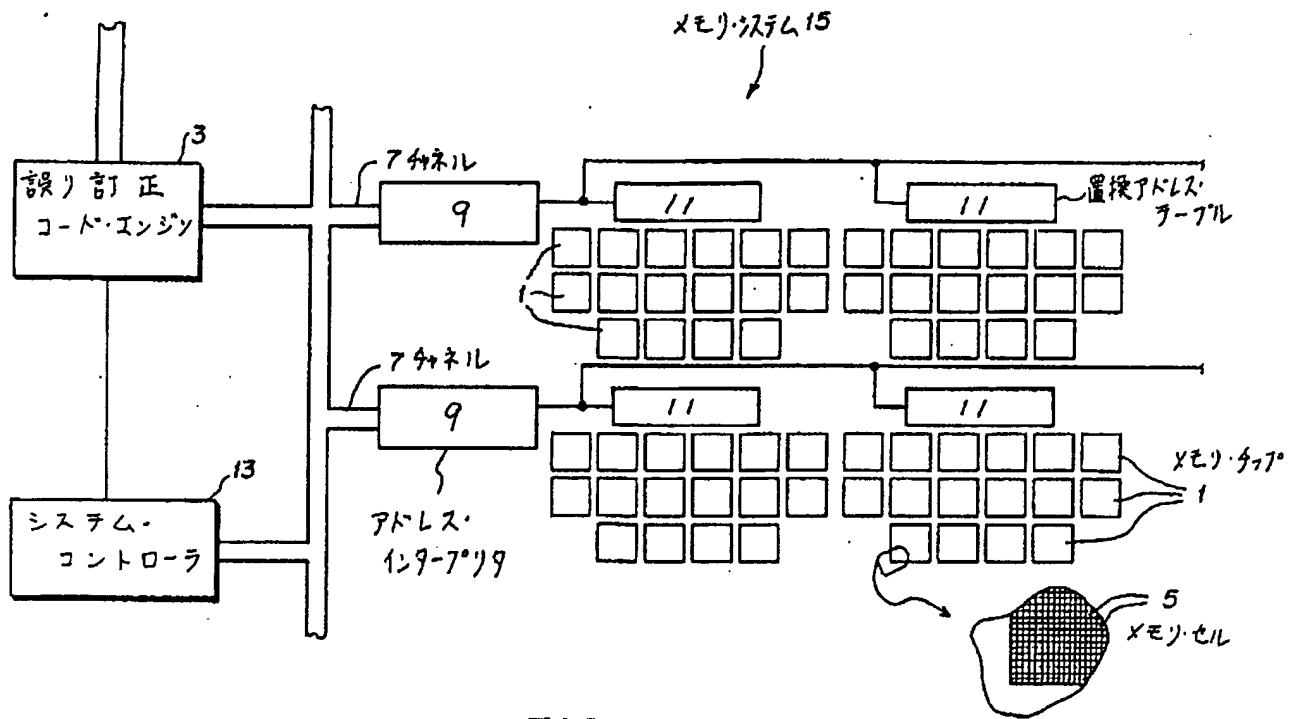


FIG 1

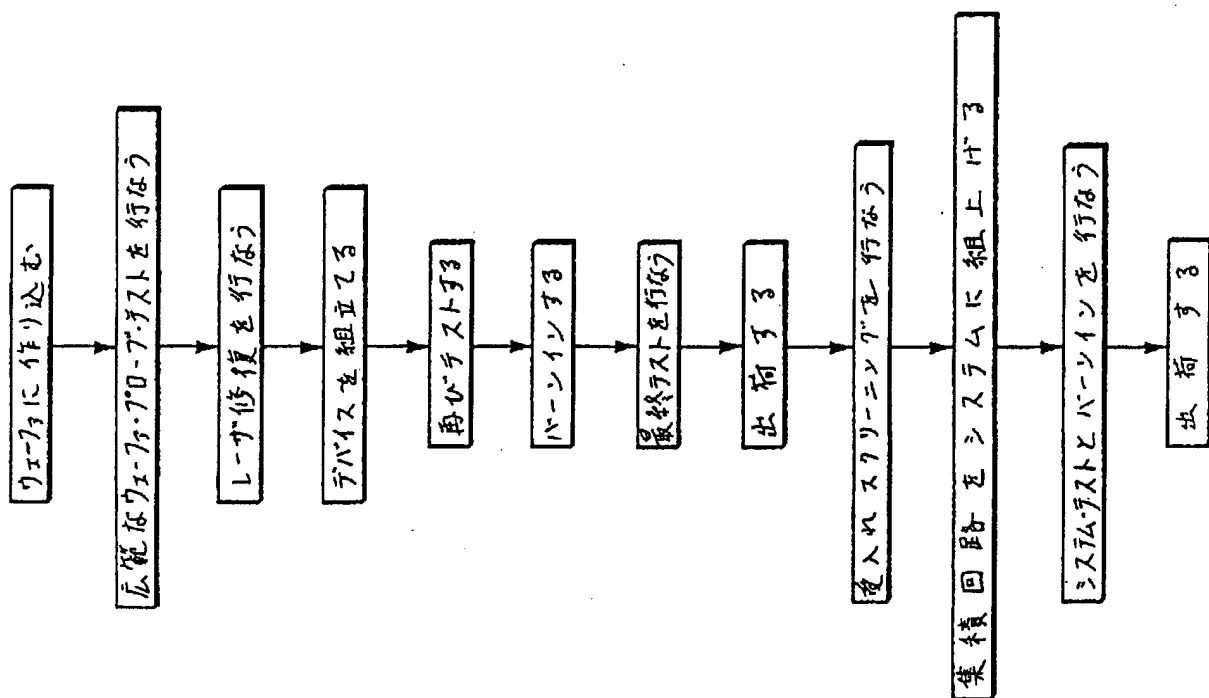


FIG 3

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成7年(1995)12月22日

【公開番号】特開昭63-117400

【公開日】昭和63年(1988)5月21日

【年通号数】公開特許公報63-1174

【出願番号】特願昭62-278121

【国際特許分類第6版】

G06F 12/16 310 P 9293-5B

手続補正書

平成6年11月 1日

特許庁長官 殿

1. 事件の表示 昭和62年 特許願 第278121号

2. 発明の名称 メモリ・システム

3. 補正をする者

事件との関係 特許出願人

住所 アメリカ合衆国カリフォルニア州パロアルト

ハノーバー・ストリート 3000

名称 ヒューレット・パカード・カンパニー

代表者 スティーブン・ビー・フォックス

国籍 アメリカ合衆国

4. 代理人

住所 東京都 府中市 府中町 1丁目9番地 京王府中1丁目ビル

横河・ヒューレット・パカード株式会社内

〒183 (Tel. 0423-30-7828)

氏名 (7805) 弁理士 上野 英夫

5. 補正命令の日付 平成 年 月 日(自発)

6. 補正の対象 明細書「特許請求の範囲」の欄

7. 補正の内容 別紙の通り

【別 紙】

2. 特許請求の範囲

(1) 複数のメモリ・セルと、

欠陥のある前記メモリ・セルを検出する検出手段と、

前記検出手段に反応して前記欠陥のあるメモリ・セルを置換える置換手段と、

前記検出手段と置換手段に接続され前記置換えを制御する制御手段

とを設けてなるメモリ・システム。

(2) 前記検出手段は前記メモリ・セルから読出された誤り検出コードの検査を行うことを特徴とする特許請求の範囲第1項記載のメモリ・システム。

(3) 前記置換手段は前記メモリ・セルの置換えをメモリ・セルのグループの単位で行うことを特徴とする特許請求の範囲第1項または第2項記載のメモリ・システム。

(4) 前記誤り検出コードは誤り訂正能力を有するコードであり、

前記検出手段は前記メモリ・セルの欠陥を特微付けし、当該特微付けの結果に基づいて前記メモリ・セルを使用しつづけるかあるいは他と置換するかを判定することを特徴とする特許請求の範囲第2項または第3項記載のメモリ・システム。

(5) 前記特微付けは検出された誤りが前記誤り訂正コードの誤り訂正能力の限界に近づくか否かであることを特徴とする特許請求の範囲第4項記載のメモリ・システム。